**DENEY:4**

**TEMEL FLİP-FLOPLARIN İNCELENMESİ ve ARDIŞIL LOJİK DEVRE TASARIMI**

**4.1 Deneyin Amacı:**

* Flip-flopların tanıtılması ve işlevlerinin incelenmesi

o SR flip-flop

o D flip-flop

o JK flip-flop

o T flip-flop

• Ardışıl lojik devre tasarımının deneysel olarak gerçeklenmesi

**4.2 Deneyden Önce Yapılacak Çalışma**

1. Temel flip-flop devreleri olarak D, SR, JK ve T türü flip-flopların elektronik devrelerini ve çalışma prensiplerini inceledik.

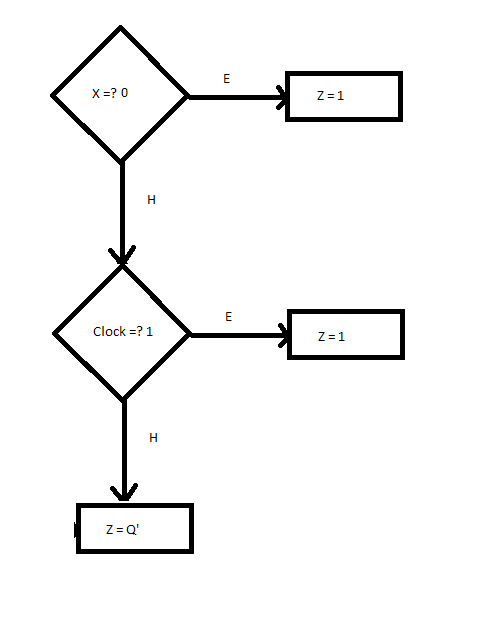
2. Ardışıl Lojik Devre tasarım yöntemine çalıştık.

3. Aşağıdaki ardışıl lojik devrenin,

a- Doğruluk tablosu:

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| X | Clock | Q | Q’ | Z |
| 0 | 0 | X | X | 1 |
| 0 | 1 | X | X | 1 |
| 1 | 0 | X | X | Q’ |
| 1 | 1 | 0 | 1 | 1 |
| 1 | 1 | 1 | 0 | 1 |

b- Durum diyagramı:



c- Devrenin fonksiyonunun amacı bizce: X’in 1 ve clock’un 0 olduğu durumlarda Q’ sinyali, diğer durumlarda 1 sinyali z çıkışından alınır.

**4.3 Deneyde Kullanılan Elemanlar**

• CADET

• 74xx04 Tümleme (NOT) kapısı

• 74xx00 VE DEĞİL (NAND)

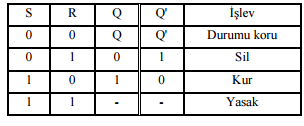
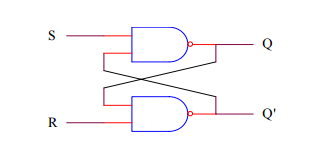
• 74xx08 VE (AND) kapısı

• 74xx02 VEYA DEĞİL (NOR)

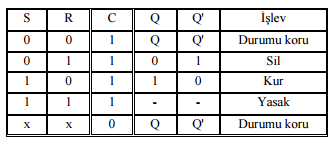
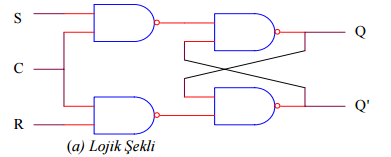
• 74xx174 D flip-flopu (iki adet)

**4.4 Deneyin Yapılışı**

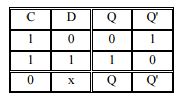
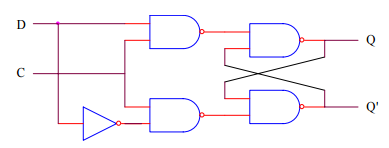
1- SR flip flop devresi:



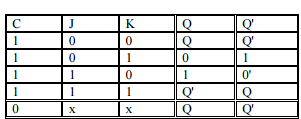
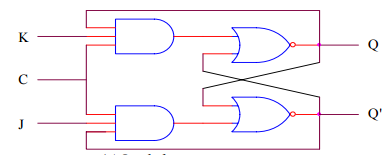
2- Saatli SR flip flop devresi:



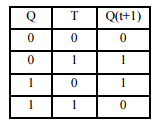
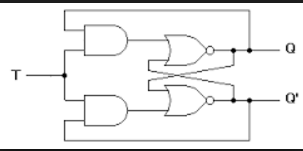
3- Adım 2 deki devrenin modifiye edilmesi ile elde edilen D flip flop’u.



4- JK flip flop



5- Adım 4’teki devrede değişiklik yapılarak elde edilen T flip flop.



**4.6 Sonuç:**

* Bu deney ile bir fonksiyonun lojik işlemler ile düzenlenip lojik kapı entegreleriyle gerçeklenmesini öğrendik.
* Cadet deney düzeneğinin çalışma mantığını ve Cadet üzerindeki breadbord a nasıl bağlantı yapılacağını, giriş için 0-1 indislerinin elektriksel olarak nasıl verilebileceğini ve çıkış gözlemlenmesini öğrendik.
* Farklı kapılar ile aynı sonuçların elde edilebileceğini öğrenmiş olduk.